

Chipentwurf

Übungsblatt 1

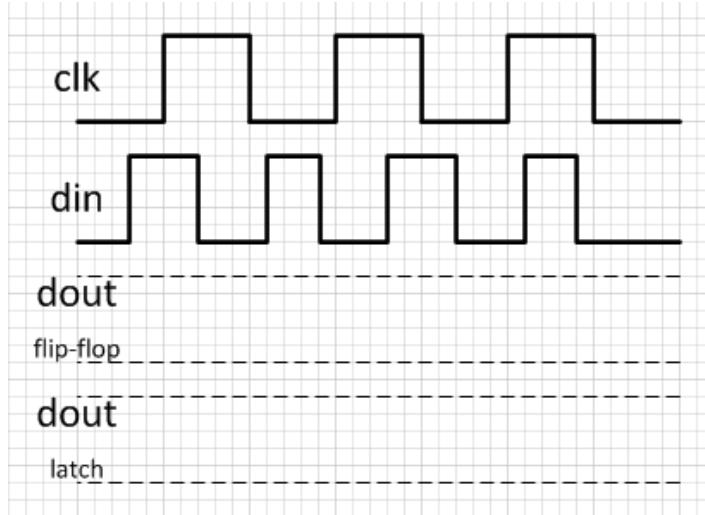
9. November 2018

1. Entwerfen Sie folgende Gatter in CMOS: NOT(a), NAND(a,b), OR(a,b,c), XOR(a,b), OR(AND(a,b),NOT(c)).
2. Gegeben seien die Funktionen $f(x,y,z) = xy \vee x\bar{z} \vee \bar{y}z$, $g(a,b,c) = a \oplus (bc)$
 - a) Bestimmen Sie die vollständige disjunktive Normalform.
 - b) Bestimmen Sie den Min- und Maxterm der Funktionen.
 - c) Erstellen Sie für die Funktionen das jeweilige Karnaugh-Diagramm und tragen Sie die Cubes ein.
3. Gegeben sei folgendes Karnaugh-Diagramm. Bestimmen Sie alle Cubes und damit die entsprechende Funktion.

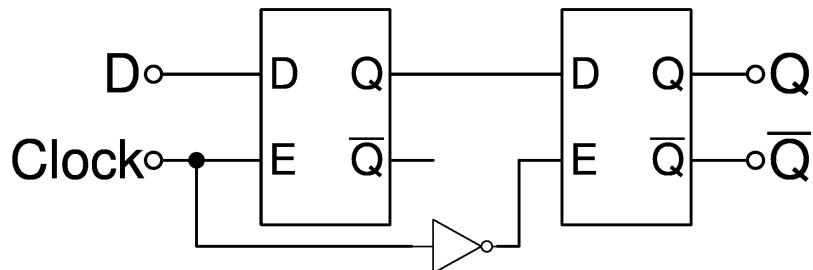
	A	\bar{A}	\bar{A}	A	
B	1	1	1	1	\bar{D}
\bar{B}	0	0	0	1	\bar{D}
\bar{B}	1	0	0	0	D
B	1	0	0	1	D
	\bar{C}	\bar{C}	C	C	

4. Gegeben sei die Funktionen $f(x_1, x_2, x_3) = \bar{x}_1 x_2 \bar{x}_3 \vee x_1 \bar{x}_2 x_3 \vee \bar{x}_1 x_2 x_3 \vee x_1 \bar{x}_2 x_3 \vee x_1 x_2 x_3$
 - a) Erstellen Sie für die Funktion das Karnaugh-Diagramm.

- b) Minimieren Sie die Funktion.
5. Worin liegt der Unterschied zwischen kombinatorischer und sequentieller Logik?
6. Was ist der Unterschied zwischen einem Latch und einem Flip-Flop?
7. Gegeben sei folgender Signalverlauf. Zeichnen Sie die resultierenden Signalverläufe für ein Flip-Flop bzw. für ein Latch ein.

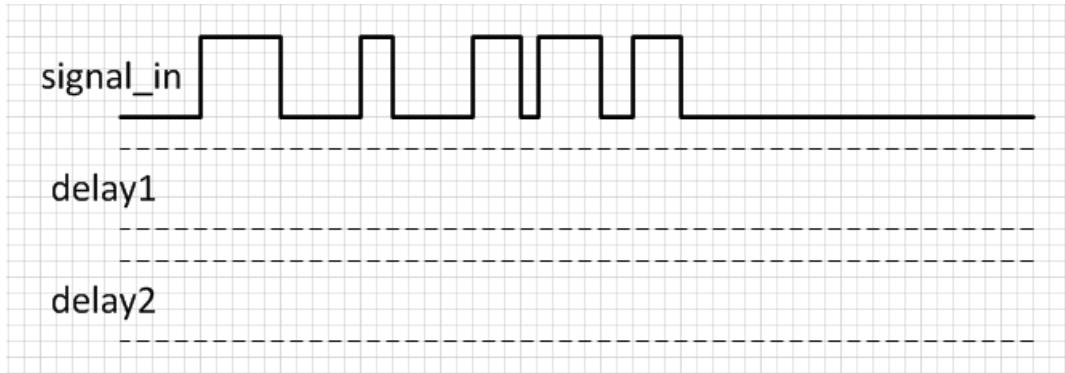


8. Geben Sie die logische Funktion eines RS-Latches an.
9. Gegeben sei folgende Schaltung:



Um was für eine Schaltung handelt es sich?

10. Welche Verzögerungsmodelle gibt es? Worin besteht der Unterschied? Zeichnen Sie die beiden Modelle in die Grafik ein. Gehen Sie dabei von einem Delay von jeweils 4 ns aus, wobei die Gitternetzbreite 1 ns darstellt.



11. Starten Sie die Xilinx ISE und legen Sie ein Projekt mit dem Namen ihrer Wahl an. Folgen Sie dem Wizard und geben Sie folgende Daten ein:
 - 1 Tab: Projektname etc.
 - 2 Tab: Family: Virtex 5, Device: XC5VLX330, Package: FF1760, Speed: -1, Simulator: ISE Simulator
 - 3 Tab: New Source... → Wählen Sie „VHDL Module“ und geben Sie den Namen „FA“ (für Full Adder) ein. Sie können optional auf den folgenden Seiten des „New Source“-Wizards bereits die Ports der generierten Entität definieren. Legen Sie drei Inputs (a, b, c_{in}) sowie zwei Outputs (s, c_{out}) an.
 - Schließen Sie die Erstellung des Projektes ab.
 12. Implementieren Sie einen Volladdierer.
- $$s = a \oplus b \oplus c_{in} \quad (1)$$
- $$c_{out} = c_{in}(a \oplus b) \vee ab \quad (2)$$
13. Realisieren Sie einen 16-bit Addierer unter Verwendung des Volladdierers über eine strukturelle Beschreibung. Nutzen Sie dazu das `generate` Sprachkonstrukt von VHDL.
 14. Was sind Generics in VHDL? Erweitern Sie den Addierer, so dass die Bitbreite generisch angepasst werden kann. Definieren Sie auch einen Standardwert.