

Entwurf digitaler Systeme

Übungsblatt 5

26. Juni 2017

1. Fügen Sie die Testbench `tb_proc.vhd` dem Projekt hinzu und simulieren Sie den Prozessor.
2. Modifizieren Sie die Testbench, so dass am Ende des Programms ein Sprung zur Adresse `0x02` ausgeführt wird. Modifizieren Sie ggf. den Prozessor!
3. Aus welchen Schritten besteht der ASIC-Design Prozess? Was passiert bei diesen Schritten?
4. Welche Aspekte sind vor einer Synthese zu beachten?
5. Nennen Sie drei Beispiele von nicht-synthetisierbarem Code.

6. Wozu dienen Constraints bei der Synthese?

7. Was ist das Ergebnis der Synthese bzw. was fehlt bei der synthetisierten Schaltung?

8. Was sind die elementaren Bestandteile eines FPGAs?

9. Wie erfolgt der Schaltungsentwurfsprozess für ein FPGA?

10. Was muss nach einer Synthese verifiziert werden?

11. Was ist der Unterschied zwischen Verifikation und Testen?

12. Nennen Sie drei typische Defekte in integrierten Schaltungen!

13. Welche Natur können Fehler aufweisen und erklären Sie deren Unterschiede?

14. Nennen Sie zwei klassische Fehlermodelle!

15. Welches Problem tritt beim Test von hochkomplexen integrierten Schaltungen auf?

16. Nennen Sie zwei Testverfahren für integrierte Schaltungen und erklären Sie deren Aufbau und Funktionsweise!