

# Entwurf digitaler Systeme

## Übungsblatt 3

23. Mai 2017

1. Gegeben seien folgende VHDL-Fragmente:

```
signal a, b, c, d : integer;
...
process (a,b,c)
begin
    b <= a;
    c <= b;
    d <= b + c;
end process

signal a : integer;
...
process (a)
variable b, c, d : integer;
begin
    b := a;
    c := b;
    d := b + c;
end process;
```

- Wo liegt der Unterschied im Verhalten der beiden Listings?
  - Was passiert während der Simulation?
  - Was ändert sich, wenn im linken Listing die Signale b und c aus der Sensitivitätsliste entfernt werden?
  - Was ändert sich, wenn die Prozesse in getaktete Prozesse umgeschrieben werden?
2. Implementieren Sie einen Kaffeeautomaten der als Eingabemenge 10, 20 und 50 Cent Münzen besitzt und bei der Gesamteingabe von 50 Cent, einen Kaffee, sowie Rückgeld ausgibt. Definieren Sie dazu zunächst den endlichen Automaten  $F = (X, Y, S, s_0, \delta, \gamma)$  mit
- $X$  die Eingabemenge,
  - $Y$  die Ausgabemenge,
  - $S$  die Zustandsmenge,
  - $s_0 \in S$  der Ausgangszustand,
  - $\delta$  die Zustandsüberföhrungsfunktion und
  - $\gamma$  die Ausgabefunktion
- und realisieren Sie anschließend den Automaten in VHDL.
3. Implementieren Sie einen 8-Bit Serial-to-Parallel Konverter.