

# Entwurf digitaler Systeme

## Übungsblatt 3

5. Dezember 2019

1. Gegeben sein folgendes Verhaltensmodell einer ALU:

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

entity add_sub is
    generic ( WD : integer := 16 );
    port ( a, b : in std_logic_vector(WD-1 downto 0);
          s : in std_logic_vector(1 downto 0);
          o : out std_logic_vector(WD-1 downto 0));
end add_sub;
architecture Behavioral of add_sub is
begin
    process (a,b,s)
    begin
        if (s = "10") then
            o <= a+b;
        elsif (s = "01") then
            o <= a-b;
        elsif (s = "11") then
            o <= not a;
        end if;
    end process;

    process (o)
    begin
        if (clk'event and clk = '1') then
            s <= o;
        end if;
    end process;
end Behavioral;
```

- Was fehlt in der Beschreibung bzw. was ist eventuell inkorrekt?
- Übernehmen Sie die ALU von der Vorlesungswebseite in Ihr Projekt.

- Korrigieren Sie die groben syntaktischen und semantischen Fehler und synthetisieren Sie die Schaltung. Wie sieht das Ergebnis der Synthese aus?

2. Gegeben seien folgendes VHDL-Codefragment:

```
entity somelogic is
  port (
    a, b, x, y : in std_logic_vector(7 downto 0);
    o : in std_logic_vector(7 downto 0) );
end somelogic;

architecture somelogic_arch of somelogic is
begin
  process (a, b, x, y)
  begin
    if a = b then
      o <= x;
    else
      o <= y;
    end if;
  end process;
end architecture;
```

- Welche Logik entsteht bei der Synthese dieses Fragment? Erstellen Sie manuell ein Schematic!

3. Gegeben seien folgende VHDL-Fragmente:

<pre>signal a, b, c, d : integer; ... process (a,b,c) begin   b &lt;= a;   c &lt;= b;   d &lt;= b + c; end process</pre>	<pre>signal a : integer; ... process (a) variable b, c, d : integer; begin   b := a;   c := b;   d := b + c; end process;</pre>
--	---

- Wo liegt der Unterschied im Verhalten der beiden Listings?
- Was passiert während der Simulation?
- Was ändert sich, wenn im linken Listing die Signale b und c aus der Sensitivitätsliste entfernt werden?
- Was ändert sich, wenn die Prozesse in getaktete Prozesse umgeschrieben werden?

4. Implementieren Sie ein 8-Bit Schieberegister mit folgenden Operationen:

- Paralleles Laden
- Links- bzw. Rechts-Shift
- Links- bzw. Rechts-Rotieren

a) Überlegen Sie sich, welche Ein- und Ausgänge benötigt werden. Legen Sie dann die Entität mit entsprechenden Ports an.

- b) Realisieren Sie die Architektur als Verhaltensbeschreibung.
- c) Legen Sie eine Testbench an und simulieren Sie das Design.
- d) Synthetisieren Sie das Schieberegister.