

Entwurf digitaler Systeme

Übungsblatt 9

20. Juli 2018

Theorie: State-of-the-art Verification

1. Beschreiben Sie das Konzept von Constraint Random Testing. Wodurch ist es motiviert?
2. Nennen Sie verschiedene Arten klassischer Coverage Metriken. Inwiefern sind diese für Constraint Random Testing ungenügend?
3. Was versteht man unter Functional Coverage?
4. Was sind Assertions? Wofür werden sie benutzt?
5. Nennen Sie einige Merkmale von SystemVerilog.

Praxisaufgabe: State-of-the-art Verification

In dieser Übung soll die ALU des Prozessors mithilfe einer SystemVerilog-Testbench durch Constraint Random Testing verifiziert werden. Zur Simulation wird die Software *Mentor Graphics Modelsim* genutzt, welche auf dem Ihnen zur Verfügung gestellten Linux-Server `uxsrvup` installiert ist.

1. Öffnen Sie die Testbench `alu_tb.sv`. Sie sehen Assertions für die Operationen `load`, `add` und `sub`. Ergänzen Sie Assertions für die fehlenden Operationen.
2. Nun soll die Testbench simuliert werden. Zunächst müssen Sie mit dem Befehl `vlib work` eine Bibliothek erstellen. Dann können Sie die VHDL-Dateien mit `vcom procdefs.vhd alu.vhd` kompilieren. Kompilieren Sie die SystemVerilog-Dateien durch den Befehl `vlog alu_tb_op.sv alu_tb.sv`. Anschließend starten Sie die Simulation mit dem Befehl `vsim -coverage -assertcover alu_tb`. Führen Sie die Simulation für 500 ns aus.
3. Betrachten Sie die Functional Coverage. Was fällt Ihnen auf? Passen Sie die Random Constraints so an, dass volle Testabdeckung gewährleistet ist. Führen Sie die Simulation danach erneut aus und überprüfen Sie die Testabdeckung.
4. Auch wenn Sie die Assertions in Aufgabe 1 richtig implementiert haben, schlägt eine Assertion fehl. Weshalb? Beheben Sie den Fehler.

Theorie: System Design

1. Was sind die Herausforderungen beim heutigen System-Entwurf?
2. Beschreiben Sie die Abstraktionsebenen beim *Electronic System Level (ESL)* Design.
3. Nennen Sie einige Merkmale von SystemC.