

Entwurf digitaler Systeme

Übungsblatt 2

18. Mai 2018

1. Implementieren Sie einen Volladdierer als kombinatorische Logik.
2. Realisieren Sie einen 16-bit Addierer unter Verwendung des Volladdierers über eine strukturelle Beschreibung.
3. Was sind Generics in VHDL? Erweitern Sie den Addierer, so dass die Bitbreite generisch angepasst werden kann. Definieren Sie auch einen Standardwert.
4. Recherchieren Sie nach Attributen in VHDL. Erstellen Sie eine Kopie des Addierers und passen Sie diese so an, dass innerhalb der Architektur anstelle der festen Konstanten zur Beschreibung der Bereichsgrenzen Attribute verwendet werden.
5. Erweitern Sie einen Addierer Ihrer Wahl, so dass er neben der Addition auch die Subtraktion durchführen kann. Verwenden Sie dazu die Bildung des Zweierkomplements.
6. Erstellen Sie eine weitere Addierer-Entität und beschreiben Sie die Funktion verhaltenorientiert.
7. Erweitern Sie den Addierer so, dass das Ergebnis in einem Register gespeichert wird.

```
1  process (<clk>,<reset>)
    begin
        if (<reset> = <reset_active_value>) then
            -- reset the sequential elements
        elsif (<clk>'event and <clk> = '1') then
6     -- change the elements of the sequential elements
            end if;
        end process;
```

8. Verifizieren Sie die Funktionsweise des Addierers. Legen Sie dazu eine Testbench (TB) wie folgt an:
 - Rechtsklick im Source-Browser → New Source...
 - Wählen Sie VHDL Test Bench, geben Sie einen Namen ein, assoziieren Sie die TB mit der Entität, die Sie simulieren möchten und schließen Sie das Erstellen der TB ab.
 - Applizieren sie diverse Eingaben an den Eingangsports des Addierers.

- Simulieren Sie die Testbench:
 - Wählen Sie dazu oberhalb des Source-Browsers Behavioral Simulation.
 - Selektieren Sie die TB im Source-Browser.
 - Expandieren Sie Xilinx ISE Simulator im Process-Browser und doppelklicken Sie auf Simulate Behavioral Model.