

Chipdesign

Übungsblatt 2

24. November 2017

1. Was sind Attribute in VHDL. Passen Sie die Beschreibung des Addierers aus der letzten Übung so an, dass innerhalb der Architektur anstelle der festen Konstanten zur Beschreibung der Bereichsgrenzen Attribute verwendet werden.
2. Beschreiben Sie den Addierer nun verhaltensorientiert.
3. Gegeben sein folgendes Verhaltensmodell einer ALU:

```
1  library IEEE;
   use IEEE.STD_LOGIC_1164.ALL;
   use IEEE.STD_LOGIC_ARITH.ALL;
   use IEEE.STD_LOGIC_UNSIGNED.ALL;

6  entity add_sub is
    generic ( WD : integer := 16 );
    port ( a, b : in std_logic_vector(WD-1 downto 0);
          s : in std_logic_vector(1 downto 0);
          o : out std_logic_vector(WD-1 downto 0));
11 end add_sub;
   architecture Behavioral of add_sub is
   begin
     process (a,b,s)
     begin
16       if (s = "10") then
           o <= a+b;
           elsif (s = "01") then
           o <= a-b;
           elsif (s = "11") then
21           o <= not a;
           end if;
     end process;

     process (o)
26     begin
           if (clk'event and clk = '1') then
           o <= o;
           end if;
     end process;
```

```
end Behavioral;
```

- Übernehmen Sie die ALU von der Vorlesungswebseite in Ihr Projekt
 - Was fehlt in der Beschreibung bzw. was ist eventuell inkorrekt?
 - Korrigieren Sie die groben syntaktischen und semantischen Fehler und synthetisieren Sie die Schaltung. Wie sieht das Ergebnis der Synthese aus?
 - Implementieren Sie den Addierer mit einem Überlaufbit.
4. Verifizieren Sie die Funktionsweise der ALU. Legen Sie dazu eine Testbench (TB) wie folgt an:
- Rechtsklick im Source-Browser → New Source...
 - Wählen Sie VHDL Test Bench, geben Sie einen Namen ein, assoziieren Sie die TB mit der ALU-Entität und schließen Sie das Erstellen der TB ab.
 - Applizieren sie diverse Eingaben an den Eingangsports der ALU.
 - Simulieren Sie die Testbench:
 - Wählen Sie dazu oberhalb des Source-Browsers Behavioral Simulation
 - Selektieren Sie die TB im Source-Browser
 - Expandieren Sie Xilinx ISE Simulator im Process-Browser und doppelklicken Sie auf Simulate Behavioral Model
5. Implementieren Sie ein 8-Bit Schieberegister mit folgenden Operationen:
- Paralleles Laden
 - Links- bzw. Rechts-Shift
 - Links- bzw. Rechts-Rotieren
- a) Überlegen Sie sich, welche Ein- und Ausgänge benötigt werden. Legen Sie dann die Entität mit entsprechenden Ports an.
- b) Realisieren Sie die Architektur als Verhaltensbeschreibung.
- c) Legen Sie eine Testbench an und simulieren Sie das Design.
- d) Synthetisieren Sie das Schieberegister.