

# Entwurf digitaler Systeme

## Übungsblatt 1

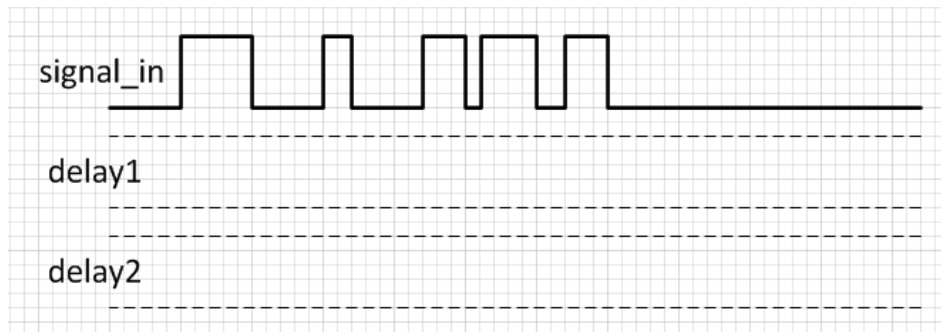
2. Mai 2017

1. Entwerfen Sie folgende Gatter in CMOS: NOT(a), NOR(a,b), AND(a,b), OR(a,b,c), XOR(a,b), AND(NOT(a),OR(b,c)).
2. Gegeben seien die Funktionen  $f(x, y, z) = \bar{x}y \vee xz \vee \bar{y}z$ ,  $g(a, b) = a \oplus b \oplus 1$ 
  - a) Bestimmen Sie die vollständige disjunktive Normalform.
  - b) Bestimmen Sie den Min- und Maxterm der Funktionen.
  - c) Erstellen Sie für die Funktionen das jeweilige Karnaugh-Diagramm und tragen Sie die Cubes ein.
3. Gegeben Sei folgendes Karnaugh-Diagramm. Bestimmen Sie alle Cubes und damit die entsprechende Funktion.

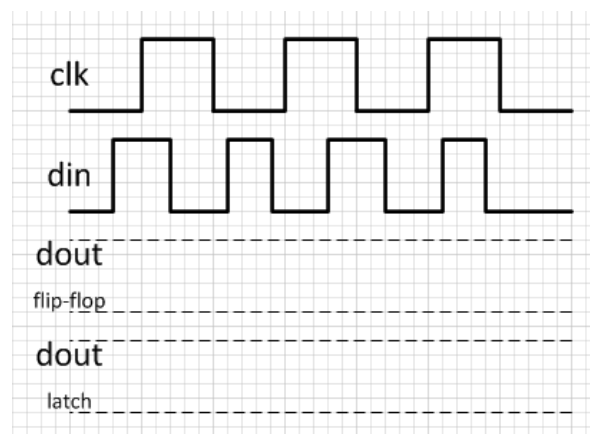
	A	$\bar{A}$	$\bar{A}$	A	
B	1	0	0	1	$\bar{D}$
$\bar{B}$	1	1	1	1	$\bar{D}$
$\bar{B}$	0	1	0	0	D
B	1	0	0	1	D
	$\bar{C}$	$\bar{C}$	C	C	

4. Gegeben sei die Funktionen  $f(x_1, x_2, x_3) = \bar{x}_1 \bar{x}_2 \bar{x}_3 \vee \bar{x}_1 \bar{x}_2 x_3 \vee \bar{x}_1 x_2 x_3 \vee x_1 \bar{x}_2 x_3 \vee x_1 x_2 x_3$ 
  - a) Erstellen Sie für die Funktion das Karnaugh-Diagramm.

- b) Minimieren Sie die Funktion.
5. Gegeben sei die Funktion  $f(x_1, x_2, x_3, x_4) = x_1(x_2 \oplus x_3) \vee \overline{x_1 \vee x_3 \overline{x_4}}$ . Bestimmen die vollständige disjunktive Normalform.
6. Welche Verzögerungsmodelle gibt es? Worin besteht der Unterschied? Zeichnen Sie die beiden Modelle in die Grafik ein. Gehen Sie dabei von einem Delay von jeweils 4 ns aus, wobei die Gitternetzbreite 1 ns darstellt.

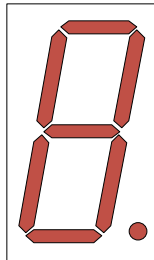


7. Worin liegt der Unterschied zwischen kombinatorischer und sequentieller Logik?
8. Welche elementaren sequentiellen Zellen gibt es? Was ist der Unterschied?
9. Gegeben sei folgender Signalverlauf. Zeichnen Sie die resultierenden Signalverläufe für ein Flip-Flop bzw. für ein Latch ein.



10. Starten Sie die Xilinx ISE und legen Sie ein Projekt mit dem Namen ihrer Wahl an. Folgen Sie dem Wizard und geben Sie folgende Daten ein:
- 1 Tab: Projektname etc.
  - 2 Tab: Family: Virtex 5, Device: XC5VLX330, Package: FF1760, Speed: -1, Simulator: ISE Simulator
  - 3 Tab: New Source... → Wählen Sie „VHDL Module“ und geben Sie den Namen „FA“ ein. Sie können optional auf den folgenden Seiten des „New Source“-Wizards bereits die Ports der generierten Entity definieren.

- Schließen Sie die Erstellung des Projektes ab.
11. Implementieren Sie eine Entität, deren 2 Ausgänge von den Funktionen aus Aufgabe 4 und Aufgabe 5 bestimmt sind.
  12. Realisieren Sie einen 7-Segment Decoder. Überlegen Sie sich zunächst, welche Ein- und Ausgänge die Entität haben muss.



13. Implementieren Sie einen I/O port mit einem Tristate-Buffer. Dabei bestimmt der Eingang **en**, ob das Signal des Eingangs **din** auf den I/O gelegt werden soll.

