

Hardware-Design

Übungsblatt 4

6. Januar 2017

In dieser Übung soll aus der generierten Netzliste ein Chiplayout erstellt werden.

1. Verbinden Sie sich mit dem IHP Server mit Ihren persönlichen Zugangsdaten.
2. Wechseln Sie in das Verzeichnis `~/coffeebreak`.
3. Falls nötig, geben Sie `make clean`; `make` auf der Konsole ein, um die Netzliste neu zu erstellen.
4. Nach erfolgreicher Synthese des Designs soll nun ein Layout für die Schaltung erstellt werden. Dazu wechseln Sie in den Ordner `~/coffeebreak/layout` und starten das Layout-Tool mittels Aufruf von `velocity`. Dort importieren Sie die Datei `setup.conf` über `Design` → `Import Design ...` → `Load ...`, welche die Pfade zu den Bibliotheken, der Netzliste und dem Constraint-File definiert.
 - a) Floorplanning (Definieren der Fläche für den Chip)
 - Öffnen Sie den Dialog `Floorplan` → `Specify Floorplan...`
 - Die Geometrien aller Objekte (Standardzellen, Leitungen) müssen auf einem Technologie-spezifischen Gitternetz liegen. Für die verwendete Technologie ist die kleinste Einheit dieses Gitternetzes $0.84 \mu\text{m}$. Für die Höhe der Core-Fläche ist ferner ein Vielfaches von $8.4 \mu\text{m}$ anzunehmen, da alle Standardzellen dieser Technologie diese Höhe aufweisen. Tragen sie demnach unter `Dimension` → `Width` bzw. `Height` entsprechende Vielfache ein (bspw. Breite: 81.48, Höhe: 42.0).
 - Tragen Sie unter `Core to Left`, etc. jeweils den Wert 5.04 ein, was dazu führt, dass um die Core-Fläche ein Rand gezogen wird, der für die Stromversorgung benötigt wird.
 - Speichern Sie den Floorplan über `Design` → `Save` → `Floorplan`.
 - b) Erstellen der Stromversorgungsleitungen
 - Geben Sie in der Velocity-Shell den Befehl `source power.tcl` ein. Das gestartete Skript erstellt Regeln für die globalen Stromversorgungsleitungen (z.B., dass Konstanten mit diesen Leitungen verbunden werden).

- Erstellen Sie Stromversorgungsringe über **Power** → **Power Planning** → **Add Rings** ... Dort muss die Breite der Leitungen definiert werden: 1.68 ist für dieses Design ausreichend. Der Platz zwischen den Ringen sollte 0.42 (minimale Distanz zwischen Objekten für diese Bibliothek) betragen. Als Abstand zum Core sollte 0.84 definiert werden.
- Danach müssen zusätzliche vertikale Streifen gezogen werden, die für eine Gleichverteilung der Spannung bzw. des Stromflusses sorgen. Dazu den Dialog **Power** → **Power Planning** → **Add Stripes** ... öffnen.
- Für die Breite der Stripes wird 1.68 und für den Abstand wieder 0.42 eingetragen. Unten in dem Dialog kann man unter **First/Last Stripe** eine Distanz zur linken Kante der Core-Fläche angeben, von wo aus der erste Streifen gezogen werden soll. Hier sollte unter **X from left** 42 eingetragen werden. (Falls etwas schief geht: einfach im Hauptfenster **u** – wie **Undo** – drücken. Stripes sollten bei dieser Technologie ca. alle $84\mu\text{m}$ gezogen werden. In diesem Design wären somit nicht nötig. Zur Ermittlung, wie viele Stripes gesetzt werden müssen, kann man das Linealtool (**k**) nutzen.)
- Speichern Sie den Floorplan unter einem anderen Namen (z.B. **coffeebreak.pwr.fp**).
- Nun müssen Versorgungsleitungen für die Standardzellen gezogen werden. Dazu unter **Route** → **Special Route** ... unter **Route** alle Checkboxen außer **Standard Cell Pins** und **Stripes (unconnected)** deaktivieren und ausführen. (Falls etwas schief geht, gibt es unten im Dialog die Option **Delete Existing Routes**)
- Wenn alles korrekt ausgeführt wurde, erneut abspeichern.

c) Platzieren der Standardzellen

- Öffnen Sie den Dialog **Place** → **Standard Cells** ..., deaktivieren Sie alle Optimierungen und starten Sie den Prozess.
- Nun kann man die Zellen sichtbar machen, indem man in der rechten unteren Ecke der Toolbar den dritten Knopf „Physical“ aktiviert.
- Danach kann man die Position der Pins des Designs verschieben, indem man den Dialog **Edit** → **Pin Editor** öffnet.
 - Dort wählt man die Pins aus, die man verschieben möchte.
 - Rechts im Dialog wählt man unter **Side/Edge** die Kante aus (hier **Right**).
 - Die Option **Fixed** sollte aktiviert werden.
 - Dann unter **Starting Y** 8.4 und unter **Spacing** 4.2 eintragen.
- Nun muss das Timing analysiert werden. Dazu unter **Timing** → **Analyze Timing** ... die Option **Pre-CTS** (CTS = Clock Tree Synthesis) wählen und ausführen. Danach kann man mittels **Timing** → **Optimize** (mit Option **Incremental**) das Layout optimieren.
- Das Design mittels **Design** → **Save Design As** → **SoCE** ... abspeichern.

d) Clock-Tree-Synthese

- Für die Generierung des Taktverteilungsnetzwerks muss das Tool wissen, welche Zellen es dafür verwenden darf. Dazu unter **Clock** → **Design Clock...** → **Gen Spec...** alle Zellen bis auf **obroutx** auswählen und mit **Add** zur Menge der zu verwendenden Zellen hinzufügen.
- Danach sollte man mittels **Clock** → **Clock Tree Browser** überprüfen, ob der Baum erstellt wurde. Dazu **clk** auswählen und **Select** drücken.
- Nun muss das Timing analysiert werden. Dazu unter **Timing** → **Analyze Timing...** die Option **Post-CTS** wählen und ausführen. Danach mittels **Timing** → **Optimize** (mit Option **Post-CTS** und **Incremental**) erneut das Layout optimieren.
- Das Design mittels **Design** → **Save Design As** → **SoCE...** abspeichern.

e) Routen der Verbindung

- Dazu unter **Route** → **NanoRoute** → **Route...** die Optionen **Optimize Via** und **Optimize Wire** in der Gruppe **Routing Phase** und in der Gruppe **Concurrent Routing Features** die Option **Timing Driven** aktivieren und den Prozess starten.
- Sollte dabei eine Violation auftreten, lässt sich diese wie folgt beheben: Die Instanz unter der angezeigten Violation selektieren und die **Floorplan Toolbox** (3 Knopf von rechts, oberste Reihe in der Toolbar) aufrufen. Dort unter **Floorplan** → **Shift** den Wert **1.68** eintragen und den Rechts-Knopf einmal betätigen. Danach muss erneut geroutet werden, jedoch unter **Mode** (unten in der Knopfleiste) die Option **Search and Repair Only** aktivieren. (Falls die Violation immer noch besteht, das Routen wiederholen.)
- Nun muss das Timing erneut analysiert werden. Dazu unter **Timing** → **Analyze Timing...** die Option **Post-Route** wählen und ausführen. Danach gegebenenfalls mittels **Timing** → **Optimize** (mit Option **Post-Route** und **Incremental**) das Layout optimieren.
- Das Design erneut abspeichern.

f) Design finalisieren und verifizieren

- Leere Stellen müssen mit so genannten Füller-Zellen ausgefüllt werden. Dies verhindert, dass bei der Produktion Unebenheiten entstehen. Dazu **Place** → **Physical Cells** → **Add Filler** → **Select** die Füllerzellen (alle Zellen die mit **fil** beginnen) selektieren und den Prozess starten.
- Danach mittels **Verify** → **Verify Geometry...** bzw. **Connectivity** das Design verifizieren.

g) Design exportieren

- Das Design speichern.
- Dazu das Timing mittels **write_sdf final.sdf** exportieren
- Dann mittels **Design** → **Save** → **Netlist** bzw. **DEF** das fertige Layout exportieren.