

# Hardware Design

## Übungsblatt 3

6. Januar 2017

1. Implementieren Sie einen Kaffeeautomaten der als Eingabemenge 10, 20 und 50 Cent Münzen besitzt und bei der Gesamteingabe von 50 Cent, einen Kaffee, sowie Rückgeld ausgibt. Definieren Sie dazu zunächst den endlichen Automaten  $F = (X, Y, S, s_0, \delta, \gamma)$  mit
  - $X$  die Eingabemenge,
  - $Y$  die Ausgabemenge,
  - $S$  die Zustandsmenge,
  - $s_0 \in S$  der Ausgangszustand,
  - $\delta$  die Zustandsüberföhrungsfunktion und
  - $\gamma$  die Ausgabefunktionund realisieren Sie anschließend den Automaten in VHDL.
2. Implementieren Sie einen 8-Bit Serial-to-Parallel Konverter.
3. Generieren Sie mit dem Xilinx IP Generator einen RAM-Speicher (Block Memory) mit dem Sie anschließend einen FIFO realisieren. Der FIFO soll eine Breite und Tiefe von 16 Bit besitzen. Nutzen Sie einen Schreib- und einen Lesezähler zum adressieren der zu lesenden bzw. zu schreibenden Daten. Der FIFO soll über folgende Ein- und Ausgänge verfügen:
  - Reset: Solange dieser Eingang 0 ist, wird der Inhalt des FIFO's gelöscht.
  - Lesetakt: Eine positive Flanke auf diesem Eingang veranlasst das FIFO das nächste Wort aus dem internen Speicher am Ausgang anzulegen.
  - Schreibtakt: Eine positive Flanke auf diesem Eingang veranlasst das FIFO, das Wort, welches am Dateneingang ansteht, in den Speicher zu schreiben.
  - Dateneingang: zum Einlesen der Daten in das FIFO.
  - Dataausgang: Zur Ausgabe der Daten aus dem FIFO.
  - leer: Ist dieser Ausgang 1, so befinden sich keine Daten im FIFO.
  - voll: Ist dieser Ausgang 1, so können keine weiteren Daten ins FIFO geschrieben werden